

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-096378

(43)Date of publication of application : 09.04.1990

(51)Int.Cl. H01L 29/788  
H01L 27/115  
H01L 29/792

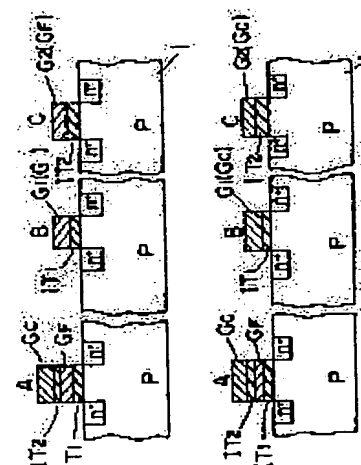
(21)Application number : 01-128810 (71)Applicant : HITACHI LTD  
(22)Date of filing : 24.05.1989 (72)Inventor : SHIMIZU SHINJI  
KOMORI KAZUHIRO  
OSA YASUNOBU  
SUGIURA JUN

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

### (57)Abstract:

PURPOSE: To adapt the title device to an IC such as an EPROM by making the gate insulating film of a first enhancement type transistor thicker than that of a second enhancement type transistor and composing the gate electrodes of both transistors of the same layer.

CONSTITUTION: The element A of a memory section has a thin gate oxide film It1, a first lower-layer polycrystalline silicon gate GF, a thick inter-layer oxide film It2 and a first upper-layer polycrystalline silicon gate GC on a P-type substrate 1. The element B of a peripheral circuit section has a second polycrystalline silicon gate G1 formed onto the P-type substrate 1 through the thin gate oxide film It1. An element C has a third polycrystalline silicon gate G2 shaped onto the P substrate through the thick gate oxide film It2. Accordingly, the title device is adapted to an IC such as an EEPROM.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other  
than the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-96378

⑮ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)4月9日

H 01 L 29/788

7514-5F  
8624-5F

H 01 L 29/78  
27/10

3 7 1  
4 3 4 ※

審査請求 有 発明の数 1 (全13頁)

⑭ 発明の名称 半導体集積回路装置

⑯ 特 願 平1-128810

⑰ 出 願 昭55(1980)2月27日

⑱ 特 願 昭55-22760の分割

⑲ 発 明 者 清水 真 二 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑲ 発 明 者 小 森 和 宏 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑲ 発 明 者 小 佐 保 信 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名  
最終頁に続く

明 細 書

1. 発明の名称 半導体集積回路装置

2. 特許請求の範囲

1. 一主面を有する第1導電型の半導体母体、上記一主面を複数の所定領域に分割する絶縁膜、上記複数の所定領域に形成された複数のMIS型トランジスタとを有し、上記複数のトランジスタは高電圧で動作可能な第1のエンハンスメント型トランジスタと低電圧で動作可能な第2のエンハンスメント型トランジスタとを有すると共に、上記第1のエンハンスメント型トランジスタのゲート絶縁膜は上記第2のエンハンスメント型トランジスタのゲート絶縁膜よりも厚くかつ前記第1のエンハンスメント型トランジスタのゲート電極は前記第2のエンハンスメント型トランジスタのゲート電極と同一層で構成されていることを特徴とする半導体集積回路装置。

3. 発明の詳細な説明

本発明は半導体集積回路装置、特にEPROM(Electrically Programmable Read

Only Memory)装置に関する。

一般にEPROM装置は一つの半導体基板主面に形成されたフローティング(浮遊)ゲート電極上にコントロール(制御)ゲート電極を有する複数のMIS(Metal Insulator Semiconductor)型メモリトランジスタから成るメモリアレイ部と、そのメモリアレイ部の周辺に形成された複数のMIS型トランジスタから成る入・出力回路、X・Yデコーダ回路等の周辺回路部とから構成される。

ところがかかるEPROMにおいて本願発明者等の研究により以下の問題があることがわかった。

すなわち、かかるEPROMにおいては高集積度、高速化のためにチャネル長(ゲート長)を短かくしゲート酸化膜の厚さを薄くするいわゆるスケールダウンする必要があるが、メモリの読出しに対して審込みにはそれより高電圧を用いるために特に周辺回路部ではスケールダウンが不可能な部分が生じてくる。

例えばnチャネル型EPROMにおいては、審

込み電圧25V、読出し電圧5Vのものが定着しつつあり周辺回路部のMOS素子のゲート酸化膜厚を1000Å程度の比較的厚いものが使用されたが、読出しの高速化のために周辺回路部のMOS素子のゲート酸化膜厚を500Å程度の比較的薄いものを使用しようとする、書き込み電圧25Vに対し十分な耐圧をもつ素子が形成できないという問題が生じてくる。

本発明は上記した問題を解決するものであり、本発明の目的は高集積度で高電圧で動作可能な第1のトランジスタと低電圧で動作可能な第2のトランジスタを含むEPROMのごときICに適合できる新規な半導体集積回路装置を提供することにある。

以下に図面を用いて本発明を具体的に説明する。

まず本発明に係るEPROM装置が第1図の概略平面図を用いて以下に説明される。

第1図において、1はシリコン単結晶より成る半導体基板(半導体ペレット)である。この基板1の主面の一部に2層の絶縁ゲートすなわちフロ

ーティングゲート電極とそのゲート電極の上にコントロールゲート電極を有する複数のMIS型メモリトランジスタからなるメモリアレイ部2が配置され、このメモリアレイ部の周辺にはディブリッション型MISトランジスタ、エンハンスメント型MISトランジスタ及び高耐圧構造を持つエンハンスメント型MISトランジスタ等によって構成されたデコーダ回路3、入出力回路4等が周辺回路部として配置され、基板1の周縁部にそってボンディング・パッド5が配列されている。

以下 余 白

第2図は本発明に係るEPROM装置の原理的構造を示す模型断面図である。同図においてAはメモリ部のMOS素子、B、Cは周辺回路部のMOS素子でこのうちBは低電圧(例えば5V)系、Cは高電圧(例えば25V)系の回路に使用される。メモリ部の素子AはP型基板1上に薄い(500Å)ゲート酸化膜 $I_{t1}$ 、第1下層多結晶シリコンゲート $G_F$ 、厚い(1200Å)層間酸化膜 $I_{t2}$ および第1上層多結晶シリコンゲート $G_C$ とを有している。周辺回路部の素子BはP型基板1上に薄い(500Å)ゲート酸化膜 $I_{t1}$ を介して形成された第2多結晶シリコンゲート $G_1$ を有している。素子CはP基板上に厚い(1000Å)ゲート酸化膜 $I_{t2}$ を介して形成された第3多結晶シリコンゲート $G_2$ を有している。上記素子Bおよび素子Cにおけるそれぞれの第2、第3の多結晶シリコンゲート $G_1$ 、 $G_2$ はメモリ部の素子の下層ポリシリコンゲート $G_F$ を形成するための第1層目ポリシリコン層すなわち第1導体層をパターンニングすることによって形

成されたものである。

第3図は第2図のEPROM装置の変形例で、第2図の構造と異なる点は周辺部のMOS素子B、Cにおいて、第2多結晶シリコンゲート $G_1$ 及び第3多結晶シリコンゲート $G_2$ はメモリ部の素子の上層多結晶シリコンゲート $G_C$ を形成するための第2層目ポリシリコン層すなわち第2導体層をパターンニング形成された点にある。

上記した半導体集積回路装置においては、読出し動作を行なわせる低電圧系のMOS素子Bは薄いゲート酸化膜を有し、同時にショートチャネルの素子として形成できる。一方、書き込み動作を行わせる高電圧系のMOS素子Cは厚いゲート酸化膜を有し同時に比較的長いチャネル長の素子として形成でき、高集積度で高電圧回路を含むEPROMの構成に適合できる。

又、上記した半導体集積回路装置においては、周辺回路部のMOS素子B、Cの絶縁ゲートをメモリ部の素子の上下2層の絶縁ゲートのいずれかと同じ構成材を使う構造とすることでその製造に

あたってプロセスを簡易化するとともに、書き込み回路用MOS素子及び読出し回路用のMOS素子のしきい値( $V_{th}$ )を所望とする値に設定できるよう制御が可能となる。

本発明の新規な半導体集積回路装置の製造法によれば、同一半導体基板上に異なる膜厚のゲート酸化膜を形成するために最初のゲート酸化後、厚くしようとする部分以外のゲート酸化膜をいったん除去し、再びゲート酸化を行なうものである。なお、厚い酸化膜を有するゲートと薄い酸化膜を有するゲートとの $V_{th}$ を調整するために最初のゲート酸化後厚くしようとする部分以外に不純物イオン打込みを行ない、次のゲート酸化の後再びイオン打込みを行なって薄いゲート酸化膜の下の不純物濃度を薄いゲート酸化膜のそれより小さくする。

次に、本発明による半導体集積回路装置の製造法をEPROM装置に適用した場合の実施例1を第4図乃至第18図に示された工程断面図にそって以下に説明する。

レーション用の $SiO_2$ 膜(以下フィールド $SiO_2$ 膜と称す)15a, 15b, 15c, 15dが形成される。これらフィールド $SiO_2$ 膜15a, 15b, 15c, 15dによって基板10表面はいくつかの領域(A, B, C, D)に区切られる。このうち領域Aはメモリトランジスタ部、領域Bは読出し回路となる低電圧(5V)部、領域Cは書き込み回路となる高電圧(25V)部、領域Dは2層ゲートを有する高耐圧部となる(第6図参照)。

(d)  $Si_3N_4$ 膜12及びその下の $SiO_2$ 膜11を完全に除去して基板10表面を露出させた後、露出する基板10表面を熱酸化(1000℃ドライO<sub>2</sub> 110分)することによって厚さ約800Åのゲート $SiO_2$ 膜16a, 16b, 16c, 16dを形成する(第7図参照)。

(e) 高電圧部C高耐圧部Dの表面にホトレジスト膜17をパターンニングし、メモリトランジスタ(領域A)及び周辺トランジスタのうち特に低電圧部のエンハンスメント型トランジスタ(領域B)

#### 実施例1

(a) p型Si(シリコン)単結晶基板10表面にその表面を熱酸化することによって厚さ500Åの $SiO_2$ (二酸化シリコン)膜11を形成する。さらにこの $SiO_2$ 膜11表面上に厚さ約1500Åの $Si_3N_4$ (シリコンナイトライド)膜12を形成する(第4図参照)。

(b) 絶縁アイソレーション部となるべき基板10表面内に $p^+$ 型チャネルストップを形成するために上記 $Si_3N_4$ 膜12をホトレジスト膜13をマスクとして選択的にエッチング除去し、その後p型決定不純物(アクセプタ)例えばボロンをイオン打込み法により $SiO_2$ 膜11を通して基板内に導入し、 $p^+$ 型チャネルストップ14a, 14b, 14c, 14dを形成する(第5図参照)。

(c) ホトレジスト膜13を除去した後、基板10を酸化雰囲気中で加熱する。これによって $Si_3N_4$ 膜12が形成されていない基板10( $p^+$ 型チャネルストップ14a, 14b, 14c, 14d)表面が酸化され、厚さ10000Åの絶縁アイソ

のしきい値 $V_{th}$ を所望の値に制御する目的でイオン打込み法によりホトレジスト膜17をかけないゲート $SiO_2$ 膜16a, 16b及び高耐圧部(領域D)の $SiO_2$ 膜16dの一部を通してボロンを基板表面に導入する。この時、打込みエネルギーは70KeV程度であり、ボロンの導入された基板(領域A, B)表面不純物濃度はおよそ $2 \times 10^{11}$  atoms/cm<sup>2</sup>である。フィールド酸化膜15a, 15b, 15c, 15d及びホトレジスト膜17形成部(領域C, D)の直下の基板表面内にはボロンは導入されない(第8図参照)。

なお、高電圧部のトランジスタのしきい値の制御が不要である場合はホトレジスト膜形成後のイオン打込みによる不純物導入は行わない。

(f) ホトレジスト膜17で覆われない $SiO_2$ 膜16a, 16bをエッチ除去する(第9図参照)。この後ホトレジスト膜17を除去し、フィールド $SiO_2$ 膜が形成されない部分の基板表面及び領域C, Dの $SiO_2$ 膜を露出する。

(g) 再びゲート酸化(1000℃, ドライO<sub>2</sub>,

60分)を行ない、Si基板の露出する領域A、B表面には膜厚が約500ÅのSiO<sub>2</sub>膜16a'、16b'が形成され、領域C、Dでさらに成長したSiO<sub>2</sub>膜16c'、16d'の膜厚は1000Å程度になる。これらSiO<sub>2</sub>膜16a'、16b'、16c'、16d'を通してボロンをイオン打込み(70KeV)する。このとき、ボロンの導入された基板表面不純物濃度は領域A、Bで $4 \times 10^{11}$  atoms/cm<sup>2</sup>、領域C、Dで $2 \times 10^{11}$  atoms/cm<sup>2</sup>である(第10図参照)。

なお、工程(e)でホトレジスト膜17形成後イオン打込みを行なわない場合には、基板表面の不純物濃度は、領域A～Dで $4 \times 10^{11}$  atoms/cm<sup>2</sup>である。

(h) メモリ部のトランジスタのフローティングゲート電極、周辺回路部のトランジスタのゲート電極及び必要な配線層を形成するために基板10上に厚さ3500Åの多結晶Si(シリコン)層21をCVD(Chemical Vapour Deposition)法により形成する。この多結晶Si層をホトレジス

層目の多結晶Si層24をCVD法により形成する。この多結晶Si層24の厚さは約3500Åである。この後、多結晶Si層24内にリンをドーピングして低抵抗化した後ホトレジスト膜25をマスクとして多結晶Si層24、SiO<sub>2</sub>膜23a、多結晶Si層21及びゲートSiO<sub>2</sub>膜16aを順次選択的にエッチング(パターニング)し、メモリトランジスタのコントロールゲート電極CG<sub>1</sub>、CG<sub>2</sub>及びフローティングゲートFG<sub>1</sub>、FG<sub>2</sub>を形成する。なお周辺部はそのまま残しておく(第13図参照)。

(k) ホトレジスト膜25を除去し、さらに新たに形成したホトレジスト膜26をマスクとして多結晶Si層24を選択的にパターニングし、周辺部のトランジスタ間の相互接続を行うための配線層L<sub>1</sub>、L<sub>2</sub>及び高耐圧MIS型トランジスタのオフセットゲート電極G<sub>1</sub>を形成する。そしてさらに露出するSiO<sub>2</sub>膜23b、23c、23e及びゲートSiO<sub>2</sub>膜16b、16c、16dを完全にエッチング除去してしまう(第14図参照)。

ト膜22をマスクとして選択的にエッチング(パターニング)し、一方周辺トランジスタのゲート電極G<sub>1</sub>、G<sub>2</sub>、G<sub>3</sub>および配線層L<sub>1</sub>を形成する(第11図参照)。この多結晶Si層21、ゲート電極G<sub>1</sub>、G<sub>2</sub>、G<sub>3</sub>および配線層L<sub>1</sub>にはあらかじめリンを導入(ドーピング)しておきそれらの層および電極の低抵抗化を計る。しかし、ホトレジスト膜22除去後にリン導入を行なってもよい。

(i) ホトレジスト膜22を除去し、又は多結晶Si層21へのリン導入後、基板10をドライO<sub>2</sub>雰囲気中で加熱処理(1000℃、110分)する。この結果、多結晶Si層21、ゲート電極G<sub>1</sub>、G<sub>2</sub>、G<sub>3</sub>及び配線層L<sub>1</sub>のそれぞれ表面は酸化されてそれらの層及び電極上に厚さ約1200ÅのSiO<sub>2</sub>膜23a、23b、23c、23d、23eが形成される。これらSiO<sub>2</sub>膜は層間絶縁膜としての役目を果たすものである(第12図参照)。

(j) 第12図に示された状態の基板10上に第2

(l) ホトレジスト膜26を除去した後、露出する基板10をドライO<sub>2</sub>中で1000℃、20分加熱することにより表面に約300ÅのSiO<sub>2</sub>膜を形成した後上記SiO<sub>2</sub>膜を通してn型決定不純物(ドナー)例えばリンあるいはヒ素をイオン打込みにより基板表面に導入し、その後拡散加熱を行なってn<sup>+</sup>型ソース領域S<sub>1</sub>、S<sub>2</sub>、S<sub>3</sub>、S<sub>4</sub>及びn<sup>+</sup>型ドレイン領域D<sub>1</sub>、D<sub>2</sub>、D<sub>3</sub>、D<sub>4</sub>を自己整合的に形成する(第15図参照)。なお、引伸し拡散は、工程(n)のPSG膜デボ後の熱処理により行なってもよい。また、上記イオン打込みによる不純物の導入の代りに、ホトレジスト膜26を除去した後、露出する基板10表面内にリンあるいはヒ素をデボジットしさらに引伸し拡散を行ないソース領域S<sub>1</sub>、S<sub>2</sub>…及びドレイン領域D<sub>1</sub>、D<sub>2</sub>…を形成するようにしてもよい。これら領域の深さは0.3～0.5μmであり、表面不純物濃度は $10^{18} \sim 10^{20}$  atoms/cm<sup>2</sup>である。さらに酸化を行ない露出するゲート電極(CG<sub>1</sub>、CG<sub>2</sub>、C<sub>1</sub>、G<sub>2</sub>…)、配線層(L<sub>1</sub>、L<sub>2</sub>)、

ソース領域 ( $S_1, S_2, \dots$ ), ドレイン領域 ( $D_1, D_2, \dots$ ) の表面に  $SiO_2$  膜 27a, 27b を厚さ約  $1000 \text{ \AA}$  になるように形成する (第15図参照)。

(k) ホトレジスト膜 28 をマスクとしてソース領域及びドレイン領域上の  $SiO_2$  膜 27b を選択的にエッチング除去する (第16図参照)。

(l) ホトレジスト膜 28 を除去した後、基板 10 上にリン・シリケートガラス (PSG) 膜 29 を形成する。この PSG 膜 29 の厚さは  $6000 \text{ \AA}$  程度である。そしてホトレジスト膜 30 をマスクとしてこの PSG 膜 29 を選択的にエッチング除去し、コンタクトホール  $H_1, H_2, H_3, \dots$  を形成する (第17図参照)。

(m) ホトレジスト膜 30 を除去した後、 $Al$  (アルミニウム) を基板 10 上に蒸着し、そしてこの  $Al$  をパターンニングすることにより配線層 31 を形成する (第18図参照)。なお、図示されていないが高耐圧エンハンスメント型 MIST トランジスタのゲート電極  $G_1, G_2$  は上記  $Al$  配線層に

よって接続される。

以上の方法により第18図に示すごとくメモリ部トランジスタ  $Q_1, Q_2$  および周辺部トランジスタである読出し用エンハンスメント型 MIST トランジスタ  $Q_E$ , 書き込み用ディブリッション型 MIST トランジスタ  $Q_D$ , 高耐圧エンハンスメント型 MIST トランジスタ  $Q_E$  が形成される。

上記実施例で述べた本発明の作用効果は以下の様に説明される。

- (1) 厚さの異なるゲート  $SiO_2$  膜を同一基板 (チップ) に形成することができ、又、メモリ部トランジスタの1層目の多結晶  $Si$  層を周辺回路のトランジスタのゲート電極とすることで、メモリ部トランジスタの層間  $SiO_2$  膜を形成する際 (工程(i)) リンドープした多結晶  $Si$  層からのリンのアウトディフュージョンがあってもゲート電極下の基板に不純物がドーブされることなくしきい値  $V_{th}$  が安定である。
- (2) 薄いゲート  $SiO_2$  膜下の基板 (領域 A, B) にはボロンの2度のイオン打込みが行なわれ、一

方、厚いゲート  $SiO_2$  膜下の基板 (領域 C, D) にはボロンは1度イオン打込みされるだけであるため、薄いゲート  $SiO_2$  膜の MOS トランジスタは短いチャネル化が可能であり、又、厚いゲート  $SiO_2$  膜の MOS トランジスタはしきい値  $V_{th}$  を任意に設定できる。工程 (e) のホトレジストをイオン打込み及び  $SiO_2$  膜エッチの両方に共用し、工程数を低減できる。

- (3) メモリ部トランジスタの層間  $SiO_2$  膜の厚さを他のゲート  $SiO_2$  膜とは別に形成できるため、任意の厚に設定でき、メモリ部トランジスタの特性を周辺部のそれから独立して決定できる。
- (4) 高耐圧 MOS トランジスタの2層のゲート電極をメモリ部のゲート電極形成と並行して形成することができる。周辺部 MOS トランジスタのゲート電極をメモリ部 MOS トランジスタの多結晶  $Si$  2層ゲート電極のうち1層目のゲート電極もしくは2層目のゲート電極形成時の多結晶  $Si$  のみを利用して形成しようとする場合第18図で示すような第1層ゲート電極の上に第2層ゲート電

極が半ば重なって形成される2層ゲート電極を有する集積回路装置の製造ができなくなる。

本発明の他の新規な半導体集積回路装置の製造法によれば、同一半導体基板上に異なる膜厚のゲート酸化膜を形成するためにゲート電極として同時に並行して形成するメモリ部2層多結晶  $Si$  ゲートトランジスタの2層目の多結晶  $Si$  層を用いるものである。

次に本発明を EPROM 装置に適用した他の例 (実施例2) を第19図乃至第26図に示された工程断面図にそって以下に説明する。

#### 実施例2

- (a) 実施例1の工程 (a) ~ (d) と同様に行ない第19図に示すように  $p$  型  $Si$  基板 40 表面にフィールド  $SiO_2$  膜 41a, 41b, 41c を形成しゲート酸化によりゲート  $SiO_2$  膜 42a, 42b, 42c を  $500 \text{ \AA}$  以下の厚さに形成する。なお同図において領域 A をメモリトランジスタ部、領域 B を読出し回路となる低電圧 ( $5V$ ) 部、領域 C は書き込み回路となる高電圧 ( $25V$ ) 部である。

ここで必要に応じてメモリトランジスタ部(領域A)のみにボロンイオン打込みをゲート $\text{SiO}_2$ 膜42aを通して行なう。

(b) メモリ部のフローティングゲート(FG)を形成するために基板40上に厚さ3500Åのリンドープ多結晶 $\text{Si}$ 層43をCVD法により形成し、図示されないホトレジスト膜マスクによりパターンニングしてメモリ部のフローティングゲートなる多結晶 $\text{Si}$ 層43の一部GFを残して他の部分、他の領域(B, C)の多結晶 $\text{Si}$ 層を除去し、さらにその下のゲート $\text{SiO}_2$ 膜をエッチ除去して $\text{Si}$ 基板40表面を露出させる(第20図参照)。

(c) 第2回のゲート酸化を行なう。この工程ではドーパ不純物(リン)のアウトディフュージョンを考慮し、まず低温(800℃)でスチーム酸化を10分行なってメモリ部(領域A)の多結晶 $\text{Si}$ 層43上に500Å、 $\text{Si}$ 基板(領域A, B, C)表面に100Åの $\text{SiO}_2$ を形成した後、 $\text{SiO}_2$ のライトエッチを行なって、多結晶 $\text{Si}$ 層表面の $\text{SiO}_2$ 膜厚を300Å、 $\text{Si}$ 基板表面を0とす

表面には膜厚500Åのゲート $\text{SiO}_2$ 膜47bを、領域C表面には膜厚1000Åのゲート $\text{SiO}_2$ 膜47cをそれぞれ形成する。この後、ボロンイオン打込みを行なうことにより、領域B表面の不純物濃度 $4 \times 10^{11} \text{ atoms/cm}^2$ 、領域C表面の不純物濃度 $2 \times 10^{11} \text{ atoms/cm}^2$ を得る(第23図参照)。

(d) 第23図に示された状態の基板40上に第2層目の多結晶 $\text{Si}$ 層48をCVD法により約3500Åの厚さに形成した後、リンをドーピングして多結晶 $\text{Si}$ 層48を低抵抗化する。次いでホトレジスト膜49を形成しそのパターンニングによって第2層の多結晶 $\text{Si}$ 層を選択的にエッチし、領域Aでメモリ部のコントロールゲートとなる多結晶 $\text{Si}$ ゲート $G_C$ 、領域Bで読出し部となる多結晶 $\text{Si}$ ゲート $G_1$ 、領域Cで書き込み部となる多結晶 $\text{Si}$ ゲート $G_2$ をのこして他を除去する(第24図参照)。

(e) メモリ部のコントロールゲート $G_C$ をマスクとして露出する $\text{SiO}_2$ 膜47aとその下の多結晶 $\text{Si}$ 層43(GF)を選択的にエッチしてゲート

る。次いでゲート酸化を1000℃ドライ $\text{O}_2$ 雰囲気で110分行なうことにより多結晶 $\text{Si}$ 層表面に膜厚1300Åの $\text{SiO}_2$ 膜(層間 $\text{SiO}_2$ 膜)44、基板上に800Åの $\text{SiO}_2$ 膜(ゲート $\text{SiO}_2$ 膜)45a, 45b, 45cを形成する。このあと領域A、領域Cの表面のみを覆うようにホトレジスト膜46a, 46bのパターンニングを行ない、ボロンイオン打込みをゲート $\text{SiO}_2$ 膜45bを通して領域Bの基板表面に対して行なう(第21図参照)。

(d) 領域Bのゲート $\text{SiO}_2$ 膜45bをエッチ除去してボロン打込みされた基板表面40'を露出する。なお、この $\text{SiO}_2$ 膜エッチ時に領域A上のホトレジスト膜46aはメモリMOSトランジスタの特性に応じてかけるかかけないかを任意に選ぶことになる(第22図参照)。

(e) ホトレジスト膜を取り去り再びゲート酸化を1000℃、ドライ $\text{O}_2$ 雰囲気で60分行なうことにより、領域Aの多結晶 $\text{Si}$ 層43表面には膜厚1600Åの層間 $\text{SiO}_2$ 膜47aを、領域B

の「重ね切り」を行なう。このエッチングで領域A, B, Cの基板表面に露出するゲート $\text{SiO}_2$ 膜47b, 47cがエッチされるとともに基板表面が若干エッチされる(第25図参照)。

(b) 全面にリンまたはヒ素をデポジットしさらに引伸し拡散を行なうことにより $n^+$ 型ソース領域 $S_1$ ,  $S_2$ 及び $n^+$ 型ドレイン領域 $D_1$ ,  $D_2$ を形成すると同時に各多結晶 $\text{Si}$ ゲートにリンをドーピングし、かつ、その表面に $\text{SiO}_2$ 膜50を形成する(第26図参照)。

なお、リンまたはヒ素のデポジションの代わりに基板を熱酸化して $\text{SiO}_2$ 膜を形成し次いでリンまたはヒ素のイオン打込みを行ない、その後拡散を行なってもよい。

この後は実施例1の工程(e)(第16図～第18図)と同様に行なう。

上記プロセスによって同一 $\text{Si}$ チップ上の周辺回路部に厚さの異なるゲート $\text{SiO}_2$ 膜を有し、ゲート電極としてメモリ部トランジスタの2層目(上層)の多結晶 $\text{Si}$ 層を用いたMOSトランジ



スタが得られる。

上記実施例で述べた本発明の作用効果は以下のように説明される。

- (1) メモリ部の2層ゲートの第2層多結晶Si層のみを周辺部のゲートとして利用するためプロセスを簡易化できる。
- (2) メモリ部の第1ゲートSiO<sub>2</sub>膜は周辺部と関りないのでその膜厚を任意に選ぶことができる。
- (3) ゲートSiO<sub>2</sub>膜下のV<sub>th</sub>の調整については実施例1の場合と同様の効果が得られる。

本発明は前記実施例以外に種々の変形例をもち得るものである。例えば第2層目の多結晶Si層はM。(モリブデン等の金属材料からなる導体層を用いることも可能である。M。は高融点金属であるため、ソース、ドレイン領域形成の不純物マスクとしての役目は果たすことができる。またこのような金属材料によって形成された配線層は多結晶Siよりなる配線層に比して低いシート抵抗値をもっており、EPROM装置のスイッチングスピードを向上させることができる。

B'切断断面図である。

1…Si半導体基板、2…メモリアレイ部、3…入力回路部、4…出力回路部、5…デコード回路部、6…ロジック回路部、7…ボンディングパッド、10…p型Si基板、11…SiO<sub>2</sub>膜、12…Si<sub>3</sub>N<sub>4</sub>膜、13…ホトレジスト膜、14a、14b、p<sup>+</sup>型チャネルストップ、15a、15b…フィールドSiO<sub>2</sub>膜、16a、16b…ゲートSiO<sub>2</sub>膜、17…ホトレジスト膜、21…多結晶Si層、22…ホトレジスト膜、23a、23b…SiO<sub>2</sub>膜、24…多結晶Si層、25…ホトレジスト膜、26…ホトレジスト膜、27a、27b…SiO<sub>2</sub>膜、28…ホトレジスト膜、29…PSG膜、30…ホトレジスト膜、31…A<sub>2</sub>配線層、40…p型Si基板、41a、41b…フィールドSiO<sub>2</sub>膜、42a、42b…ゲートSiO<sub>2</sub>膜、43…多結晶Si層、44…SiO<sub>2</sub>膜、45a、45b、45c…SiO<sub>2</sub>膜、46a、46b…ホトレジスト膜、47a、47b、47c…SiO<sub>2</sub>膜、48…多結晶Si層、49…ホト

ところで、本発明に係るメモリアレイ部2(第1図参照)は第27図に示す平面図の如く構成されている。この第27図において、15はフィールドSiO<sub>2</sub>膜である。CGは多結晶Siより成るコントロールゲートでワード線を構成する。FGはフローティングゲート電極である。

B<sub>1</sub>、B<sub>2</sub>はA<sub>2</sub>より成るビット線である。第27図におけるA-A'切断断面をみると第18図の領域Aの如き構造となっている。そして、第27図におけるB-B'切断断面図をみると第28図の如き構造となっている。

#### 4. 図面の簡単な説明

第1図は本発明に係るEPROM装置の概略平面図、第2図及び第3図は本発明の原理的構造を示す断面図、第4図乃至第18図は本発明に係るEPROM装置の製造法の一つの実施例の工程断面図、第19図乃至第26図は本発明に係るEPROM装置の製造法の他の実施例の工程断面図、第27図は本発明に係るメモリアレイ部の平面図、第28図は第27図に示すメモリアレイ部のB-

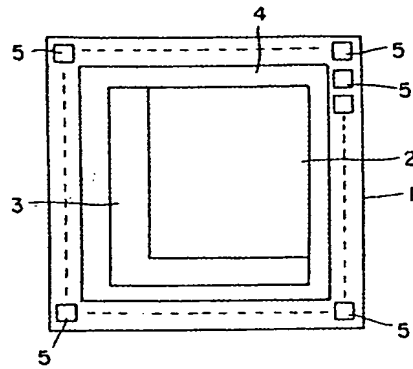
レジスト膜、SO…SiO<sub>2</sub>膜。

A…メモリ部、B…周辺回路読出し部、C…周辺回路書き込み部、GF…浮遊ゲート電極、GC…制御ゲート電極、G<sub>1</sub>、G<sub>2</sub>…ゲート電極、G<sub>3</sub>、G<sub>4</sub>…高耐圧部ゲート電極、I<sub>t1</sub>…薄いゲート絶縁膜、I<sub>t2</sub>…厚いゲート絶縁膜、L<sub>1</sub>、L<sub>2</sub>、L<sub>3</sub>…多結晶Si配線、Q<sub>1</sub>、Q<sub>2</sub>…メモリ用トランジスタ、QE<sub>1</sub>、QE<sub>2</sub>…エンハンスメントトランジスタ、Q<sub>D</sub>…ディプリーショントランジスタ、S<sub>1</sub>、S<sub>2</sub>…ソース領域、D<sub>1</sub>、D<sub>2</sub>…ドレイン領域。

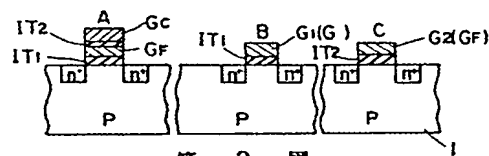
代理人 弁理士 小川 勝 男



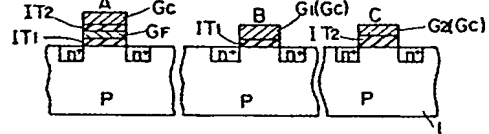
第 1 図



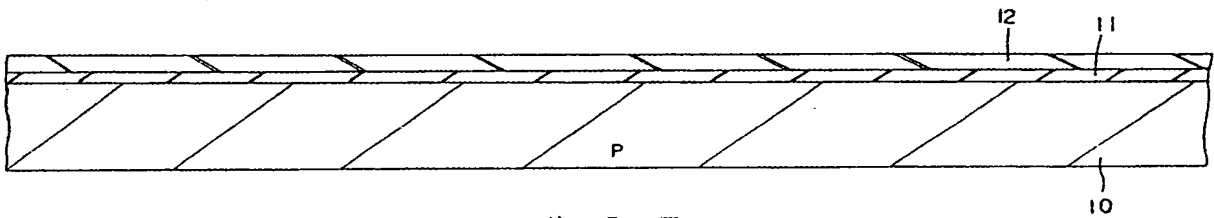
第 2 図



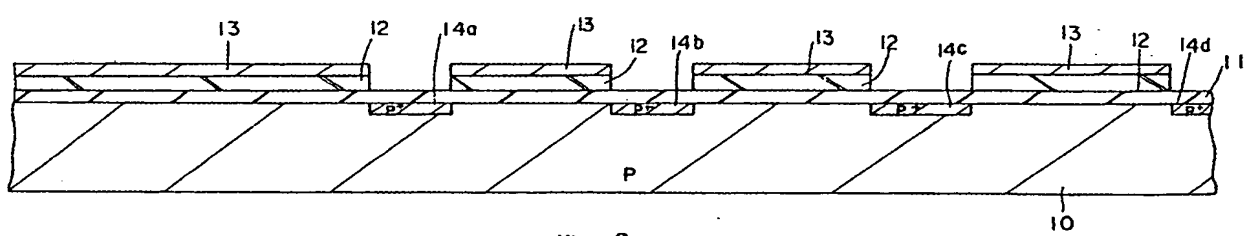
第 3 図



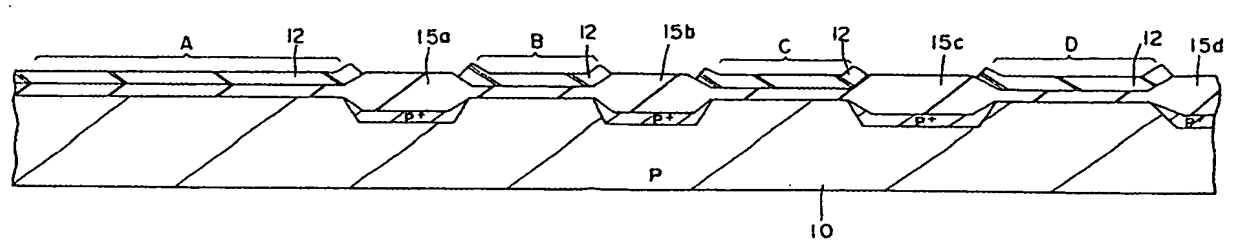
第 4 図



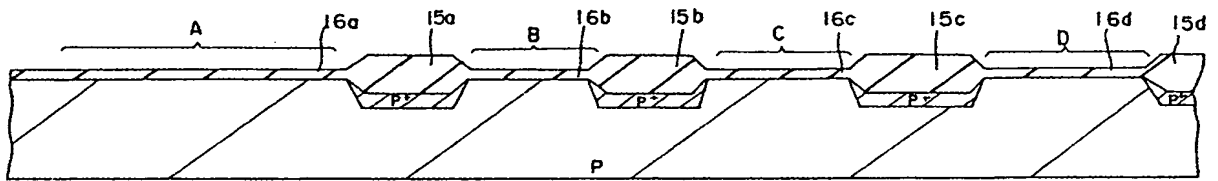
第 5 図



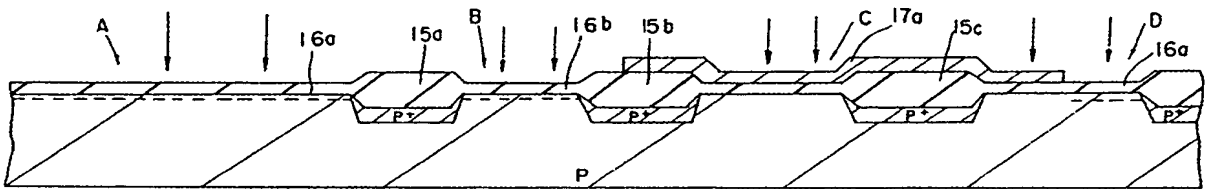
第 6 図



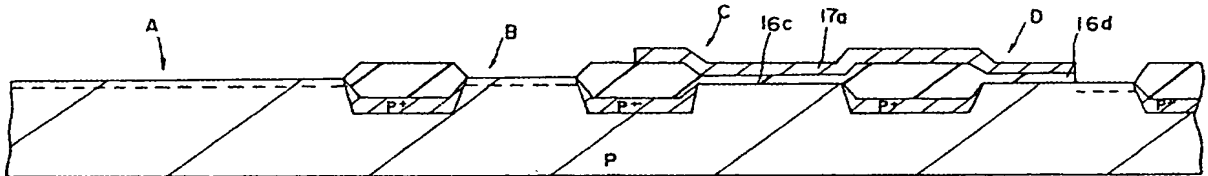
第 7 図



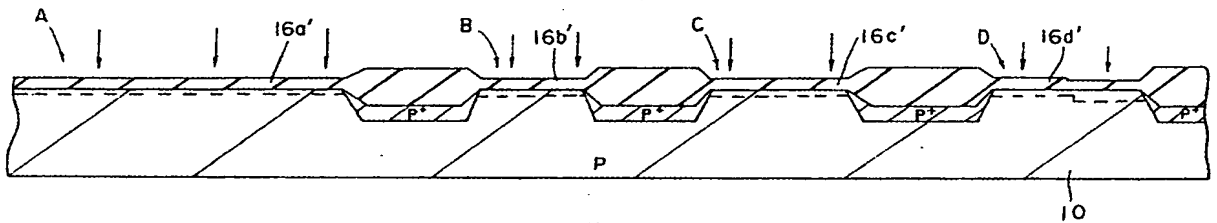
第 8 図



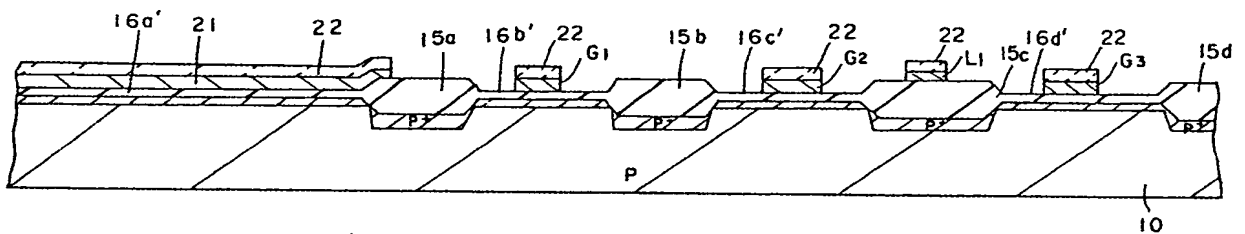
第 9 図



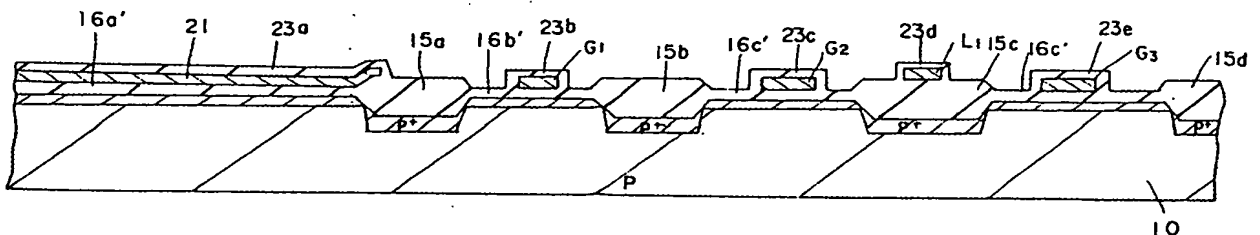
第 10 図



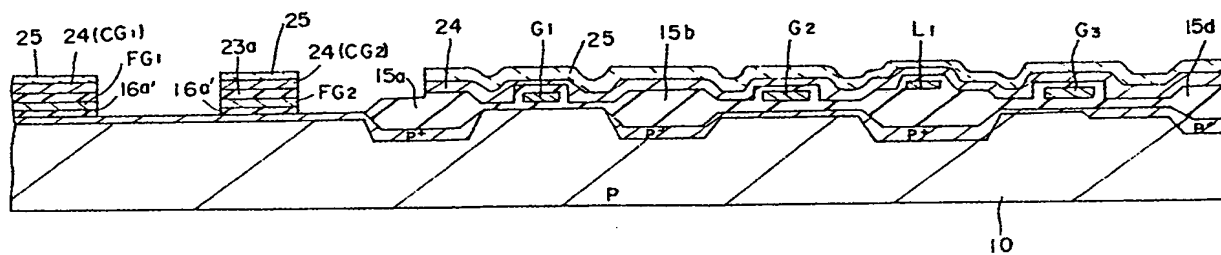
第 11 図



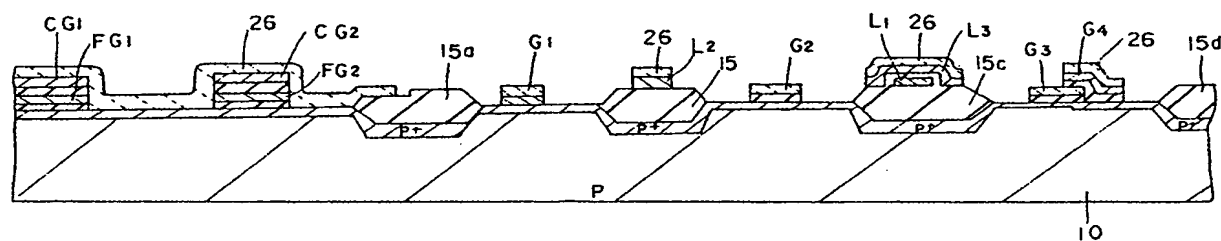
第 12 図



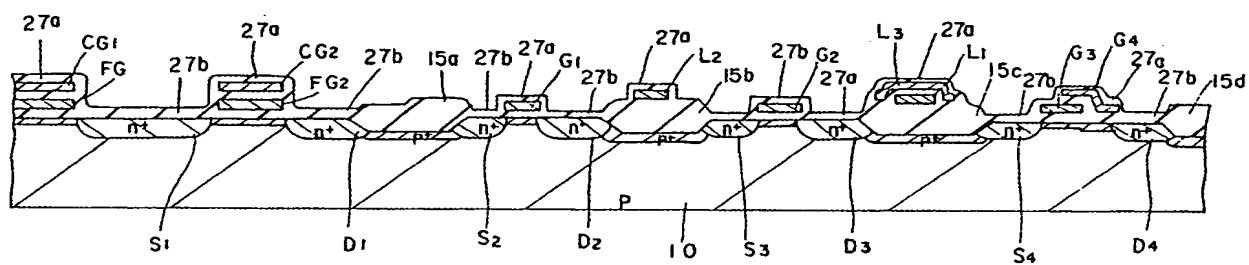
第 13 図



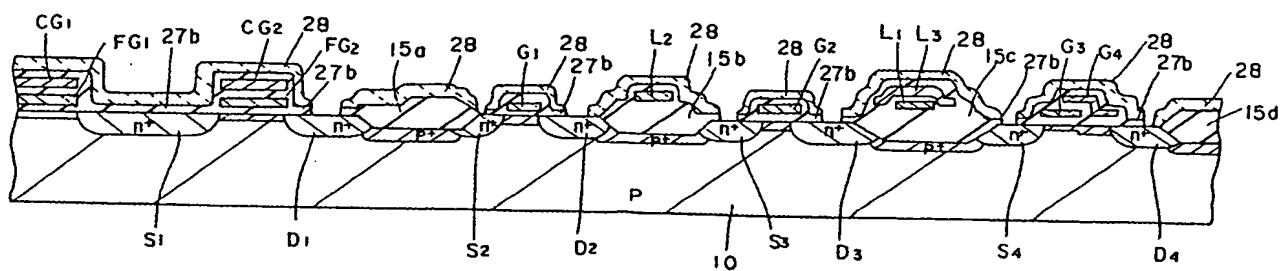
第 14 図



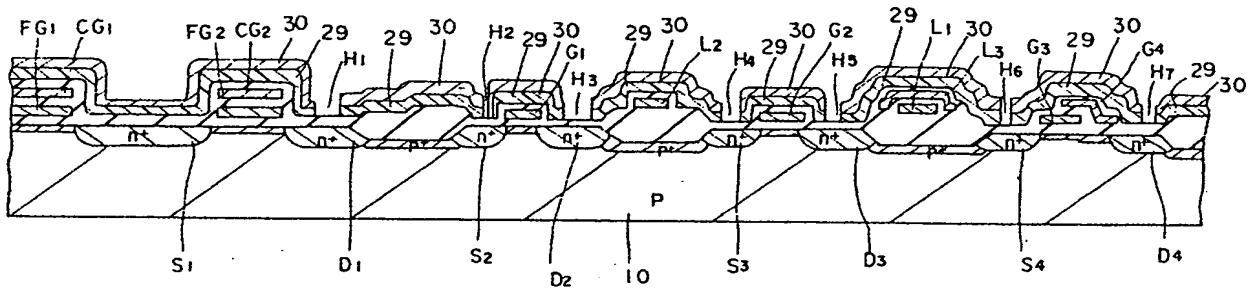
第 15 図



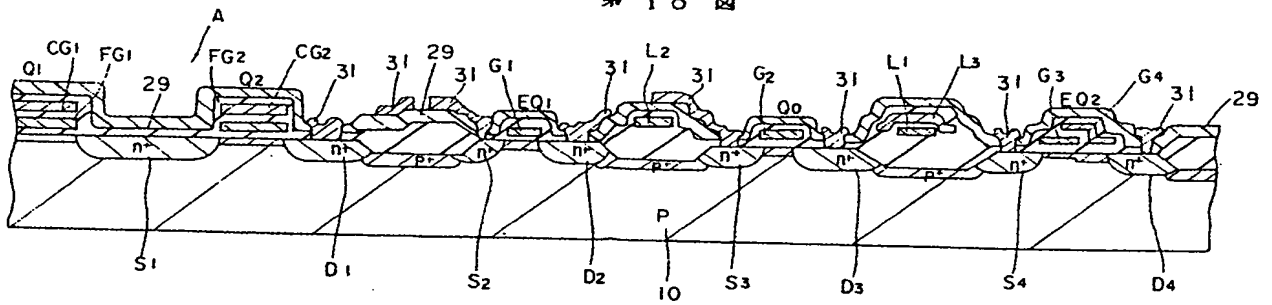
第 16 図



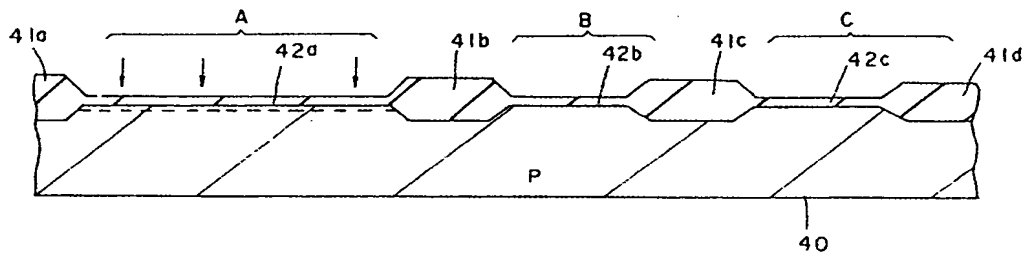
第 17 図



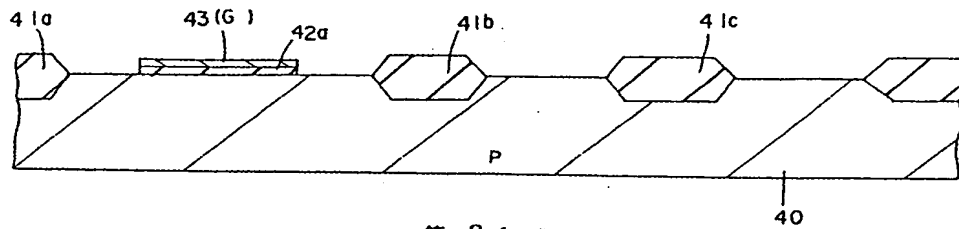
第 18 図



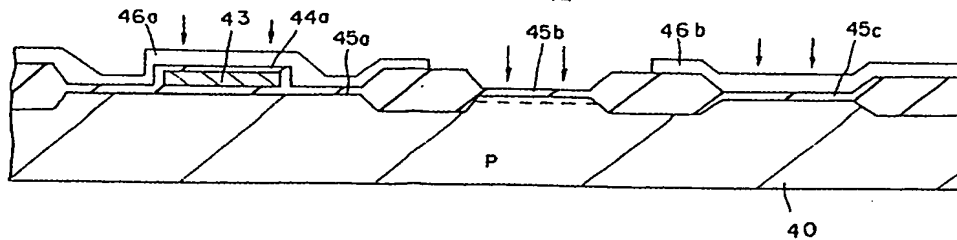
第 19 図



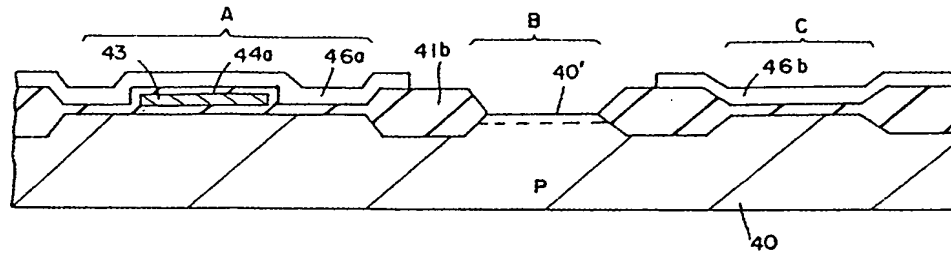
第 20 図



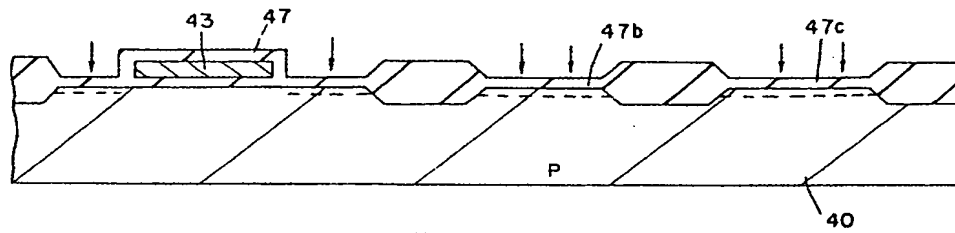
第 21 図



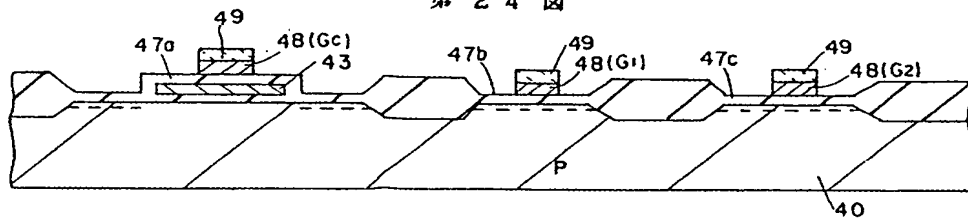
第 2 2 図



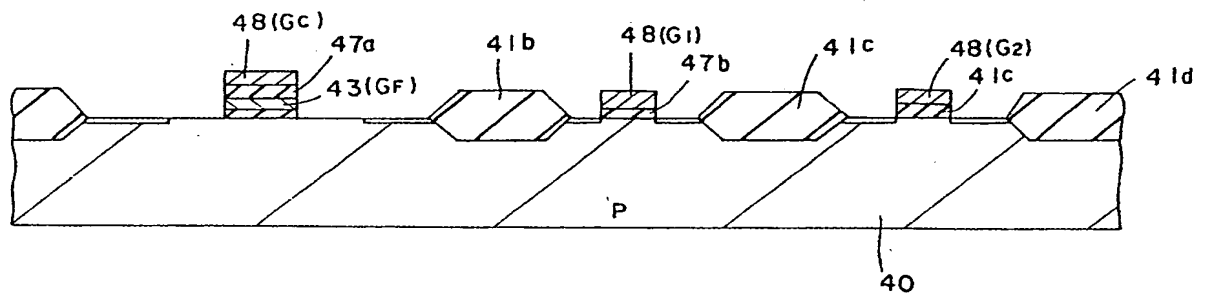
第 2 3 図



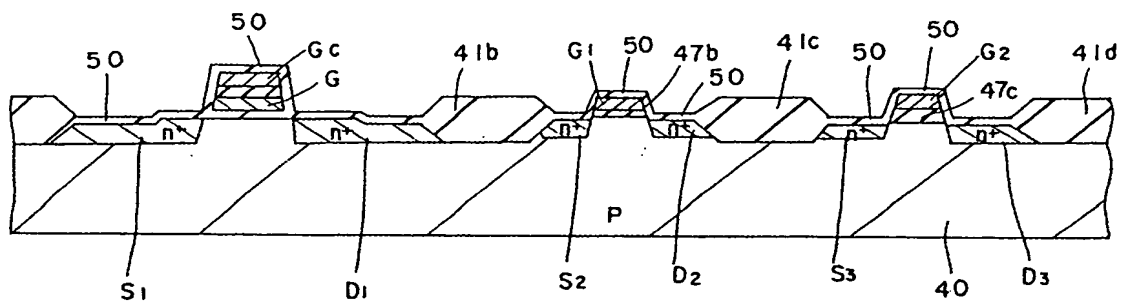
第 2 4 図



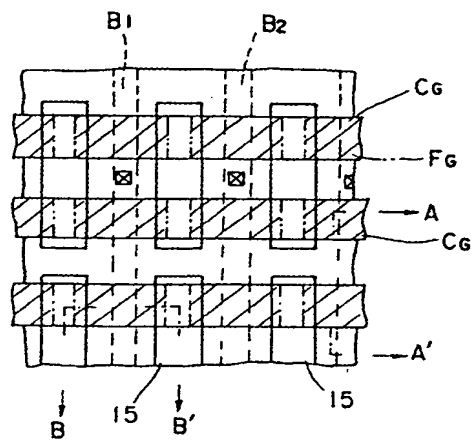
第 2 5 図



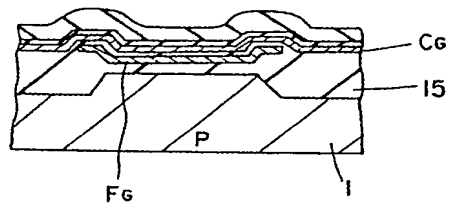
第 2 6 図



第 2 7 図



第 2 8 図



第 1 頁の続き

⑤Int.Cl.<sup>5</sup>

H 01 L 27/115  
29/792

識別記号

庁内整理番号

②発 明 者 杉 浦

順

東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☒ LINES OR MARKS ON ORIGINAL DOCUMENT

☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**